

# Parallele Schnittstellenkarte ISA96 PAR64IO

## Technische Beschreibung

Bestellnummern:

404.234000.000 2 ISA64 PAR64IO

Ihr Ansprechpartner:



© 2001 by Janich & Klass Computertechnik GmbH, Wuppertal

07.05.01

# Inhaltsverzeichnis

1. Allgemeine Eigenschaften der ISA96 PAR64IO .....	3
2. Einstellung der Basis-I/O-Adresse.....	4
3. Adressbelegung innerhalb des I/O-Adress-Fensters.....	5
4. Technische Daten der digitalen Ein- / Ausgänge .....	6
5. Leuchtdioden.....	7
6. Belegung der Schnittstellen-Stecker S4 und S5.....	8
7. Belegung des VG64-Steckers für den ISA96-/AT96-Bus .....	9
8. Lageplan für Stecker, Schalter und Jumper .....	10
9. Technische Daten .....	11
10. Umgebungsbedingungen .....	11

## **1. Allgemeine Eigenschaften der ISA96 PAR64IO**

Die ISA96 PAR64IO ist eine Baugruppe im Eurokarten-Format ( 3HE Höhe, 4TE Breite), die sowohl für den ISA96- als auch für den AT96-Bus geeignet ist. Die Baugruppe besitzt 64 digitale Ein-/Ausgänge, welche in Gruppen von 16 Kanälen als Eingänge oder als Ausgänge konfiguriert werden können. Dabei sind die Ein-/Ausgänge für TTL-Pegel ausgelegt. Die Baugruppe belegt 16 hintereinanderliegende I/O-Adressen, deren Lage im Adressraum über einen DIP-Schalter im Bereich von 100h bis 3F0h eingestellt werden kann.

### **Eigenschaften der ISA96 PAR64IO in Stichworten:**

- Baugruppe 4TE, 3HE, ISA96- / AT96-Bus, keine Frontplatte
- 8Bit Datenbus
- Die Baugruppe belegt 16 Adressen im I/O-Adressraum
- Die Lage der belegten 16 I/O-Adressen ist frei im Adressbereich 100h - 3F0h mittels eines DIP-Schalters einstellbar.
- Die Baugruppe verfügt über 64 Ein-/ Ausgänge, die auf zwei 50polige Pfostenleisten verteilt sind. Über 4 Signale kann von extern (über die 50poligen Pfostenleisten) eingestellt werden, ob eine Gruppe von jeweils 16 Signalen als Eingang oder als Ausgang betrieben werden soll.
- Die digitalen Ein- und Ausgänge arbeiten mit TTL-Pegeln. Die Ausgänge sind mit einem Strom von jeweils 6mA (35mA bei Kurzschluß) belastbar.
- Die Pegel der Ausgänge können zurückgelesen werden.
- Über ein Register lassen sich 4 ID-Signale auslesen, deren Pegel über Jumper eingestellt werden können. Mit Hilfe dieser ID kann die Baugruppe softwareseitig identifiziert werden.
- Die Ein- / Ausgänge sind per Software über 8 hintereinanderliegende Register (jeweils 8Bit für 8 Ein- / Ausgänge) ansprechbar.

## 2. Einstellung der Basis-I/O-Adresse

Die Baugruppe belegt im I/O-Adressbereich 16Byte. Die Startadresse dieser 16Byte wird mit Hilfe des DIP-Schalters DS1 eingestellt und kann im Adressbereich 100h - 3F0h liegen. Dabei entspricht jeder einzelne Schalter einer Adressleitung der einzustellenden Basisadresse:

DS1-1	A4
DS1-2	A5
DS1-3	A6
DS1-4	A7
DS1-5	A8
DS1-6	A9

Steht ein Schalter auf **ON**, entspricht dies dem Pegel "1" der zugeordneten Adressleitung.

Hier nun einige Einstellungs-Beispiele:

A9	A8	A7	A6	A5	A4	Basis-I/O-Adresse
DS1-6	DS1-5	DS1-4	DS1-3	DS1-2	DS1-1	
0	0	x	x	x	x	Zugriff auf Register gesperrt
0	1	x	x	x	x	1x0h
0	1	0	0	0	0	100h
0	1	0	0	0	1	110h
0	1	0	0	1	0	120h
0	1	0	0	1	1	130h
0	1	0	1	0	0	140h
0	1	0	1	0	1	150h
0	1	0	1	1	0	160h
0	1	0	1	1	1	170h
0	1	1	0	0	0	180h
0	1	1	0	0	1	190h
0	1	1	0	1	0	1A0h
0	1	1	0	1	1	1B0h
0	1	1	1	0	0	1C0h
0	1	1	1	0	1	1D0h
0	1	1	1	1	0	1E0h
0	1	1	1	1	1	1F0h
1	0	x	x	x	x	2x0h
1	1	x	x	x	x	3x0h
<b>1</b>	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>0</b>	<b>300h, Auslieferungszustand</b>

### 3. Adressbelegung innerhalb des I/O-Adress-Fensters

Die von der Baugruppe zur Verfügung gestellten 64 Ein-/Ausgänge können über insgesamt 8 Register (mit je 8Bit) gesetzt oder gelesen werden. Diese Register liegen bei Basisadresse 0 - 7, wobei Bit 0 der Basisadresse 0 den 1. Ein-/Ausgang darstellt und Bit 7 der Basisadresse 7 den 64. Ein-/Ausgang.

Adress-Offset zur Basis-I/O-Adresse	Adressbelegung
0h	Ein-/Ausgänge 8 bis 1 ( 1 ist LSB)
1h	Ein-/Ausgänge 16 bis 9 ( 9 ist LSB)
2h	Ein-/Ausgänge 24 bis 17 ( 17 ist LSB)
3h	Ein-/Ausgänge 32 bis 25 ( 25 ist LSB)
4h	Ein-/Ausgänge 40 bis 33 ( 33 ist LSB)
5h	Ein-/Ausgänge 48 bis 41 ( 41 ist LSB)
6h	Ein-/Ausgänge 56 bis 49 ( 49 ist LSB)
7h	Ein-/Ausgänge 64 bis 57 ( 57 ist LSB)
8h	4Bit I/O-Select und 4Bit ID, Read Only
9h-Fh	reserviert

Das Register bei Basis-Adresse 8 läßt sich nur lesen.

#### **I/O-Offset 8h (Read-Only)**

D7	D6	D5	D4	D3	D2	D1	D0
I/O-SEL3	I/O-SEL2	I/O-SEL1	I/O-SEL0	ID3	ID2	ID1	ID0

**ID0** bis **ID3** dienen der softwareseitigen Identifikation der Baugruppe und werden durch die Einstellung der Jumper 1-4 bestimmt:

ID0 hat den Wert 1, wenn Jumper 1 gesetzt ist,

.....

ID3 hat den Wert 1, wenn Jumper 4 gesetzt ist.

**Im Auslieferungszustand sind Jumper 2 und 4 gesetzt (-> D3 - D0 = 1010b).**

**I/O-SEL3** bis **I/O-SEL0** repräsentieren den Pegel der Steuerleitungen, mit denen "von außen" festgelegt wird, welche Kanäle als Eingänge und welche als Ausgänge konfiguriert sind. Dabei besteht folgende Zuordnung:

I/O-SEL0 bezieht sich auf Ein-/Ausgänge 16 bis 1

I/O-SEL1 bezieht sich auf Ein-/Ausgänge 32 bis 17

I/O-SEL2 bezieht sich auf Ein-/Ausgänge 48 bis 33

I/O-SEL3 bezieht sich auf Ein-/Ausgänge 64 bis 49

Dabei bedeutet der **Wert 0 (Pegel Low)**, daß die entsprechende Gruppe als **Ausgang** konfiguriert ist.

Wird ein I/O-SEL-Signal extern nicht belegt, hat es den Pegel Low.

Die Pegel der Ausgänge können über das entsprechende Register zurückgelesen werden. Dabei kann z.B. festgestellt werden, ob ein Ausgang fehlerhaft ist (Kurzschluß...).

#### **4. Technische Daten der digitalen Ein- / Ausgänge**

Die digitalen Ein-/Ausgänge arbeiten mit TTL-kompatiblen CMOS-Bausteinen (Treiberbausteine vom Typ HCT) und haben folgende Eigenschaften:

##### **Eingänge:**

Low-Pegel: Maximale Eingangsspannung: 0,8V

High-Pegel: Minimale Eingangsspannung: 2,0V

Maximaler Eingangsstrom: 0,5mA

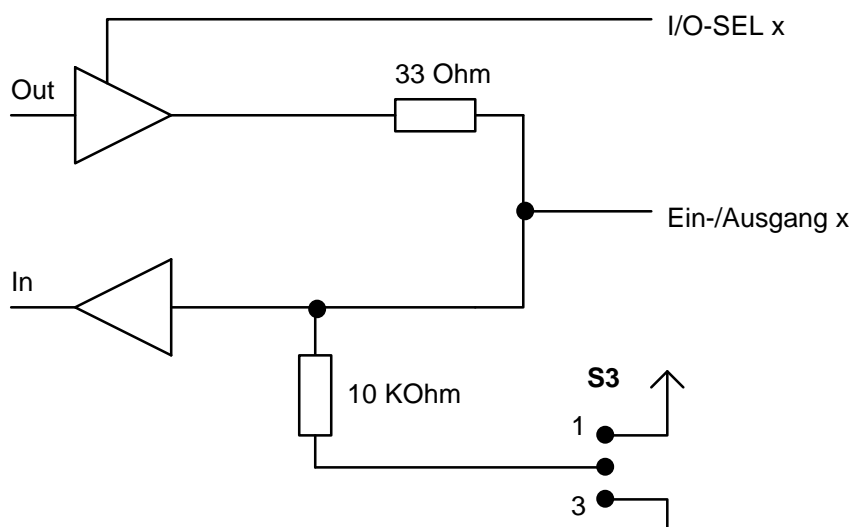
Grenzwerte für die Eingangsspannung: -1,5V bis 6,5V

##### **Ausgänge:**

Low-Pegel: Maximale Ausgangsspannung: 0,6V bei 6mA

High-Pegel: Minimale Ausgangsspannung: 3,6V bei 6mA

Kurzschluß-Ausgangsstrom: 35mA

**Prinzipielle Ein-/Ausgangsbeschaltung:**

Der Widerstand im Pfad des Ausgangstreibers (in Reihe mit dem Innenwiderstand des Ausgangstreibers) wirkt als Impedanzanpassung an den Wellenwiderstand eines Flachbandkabels (typischerweise 70 -100 Ohm). Er verringert Übersprechen und dämpft Leitungsreflexionen.

Der Widerstand am Eingangstreiber zieht den Eingangspegel (abhängig von der Jumper-Stellung auf S3) auf ein festes Potential, soweit dieser Eingang offen gelassen wird.

**Im Auslieferungszustand steckt der Jumper auf Pin 1+2 von S3, d.h. der Eingangspegel bei offenem Eingang ist High.**

Beim Einschalten des Systems oder einem Hard-Reset werden alle Ausgänge auf einen definierten Pegel gesetzt (welcher von der Stellung des Jumpers auf S2 abhängt) und erst danach freigegeben.

Jumper auf S2, Pin 1+2: Pegel nach Hard-Reset ist High

Jumper auf S2, Pin 2+3: Pegel nach Hard-Reset ist low

**Im Auslieferungszustand steckt der Jumper auf Pin 1+2 von S3, d.h. der Pegel der Ausgänge ist High.**

## **5. Leuchtdioden**

Auf der Baugruppe befinden sich 5 LEDs, die Auskunft über den aktuellen Zustand der Baugruppe liefern:

- Die 4 LEDs L1, L2, L3, L5 leuchten, wenn die dazugehörigen Signale **I/O-SEL0 - I/O-SEL3** den Pegel 1 haben (d.h. die entsprechenden Gruppen als Ausgang geschaltet sind).
- Die LED **HA** (Host Access) zeigt Zugriffe durch die Software auf den I/O-Adressbereich der Baugruppe an. Die Anzeige wird zeitlich verlängert ( auf mind. 0,1s ), um sie für das Auge wahrnehmbar zu machen.

## 6. Belegung der Schnittstellen-Stecker S4 und S5

An den 50poligen gewinkelten Pfostensteckern S4 und S5 werden die 64 Ein-/Ausgänge sowie die I/O-SELECT-Signale zur Verfügung gestellt. Dabei gilt folgende Pin-Belegung:

S4				S5			
IO22	1	2	IO19	IO54	1	2	IO51
IO20	3	4	IO23	IO52	3	4	IO55
IO17	5	6	IO16	IO49	5	6	IO48
IO21	7	8	IO18	IO53	7	8	IO50
IO26	9	10	IO24	IO58	9	10	IO56
IO28	11	12	IO30	IO60	11	12	IO62
IO29	13	14	IO31	IO61	13	14	IO63
IO25	15	16	IO27	IO57	15	16	IO59
GND	17	18	n.c.	GND	17	18	n.c.
GND	19	20	n.c.	GND	19	20	n.c.
GND	21	22	I/O-SEL1	GND	21	22	I/O-SEL3
GND	23	24	n.c.	GND	23	24	n.c.
GND	25	26	GND	GND	25	26	GND
n.c.	27	28	GND	n.c.	27	28	GND
n.c.	29	30	GND	n.c.	29	30	GND
I/O-SEL0	31	32	GND	I/O-SEL2	31	32	GND
n.c.	33	34	GND	n.c.	33	34	GND
IO11	35	36	IO9	IO43	35	36	IO41
IO15	37	38	IO13	IO47	37	38	IO45
IO14	39	40	IO12	IO46	39	40	IO44
IO8	41	42	IO10	IO40	41	42	IO42
IO2	43	44	IO5	IO34	43	44	IO37
IO0	45	46	IO1	IO32	45	46	IO33
IO7	47	48	IO4	IO39	47	48	IO36
IO3	49	50	IO6	IO35	49	50	IO38

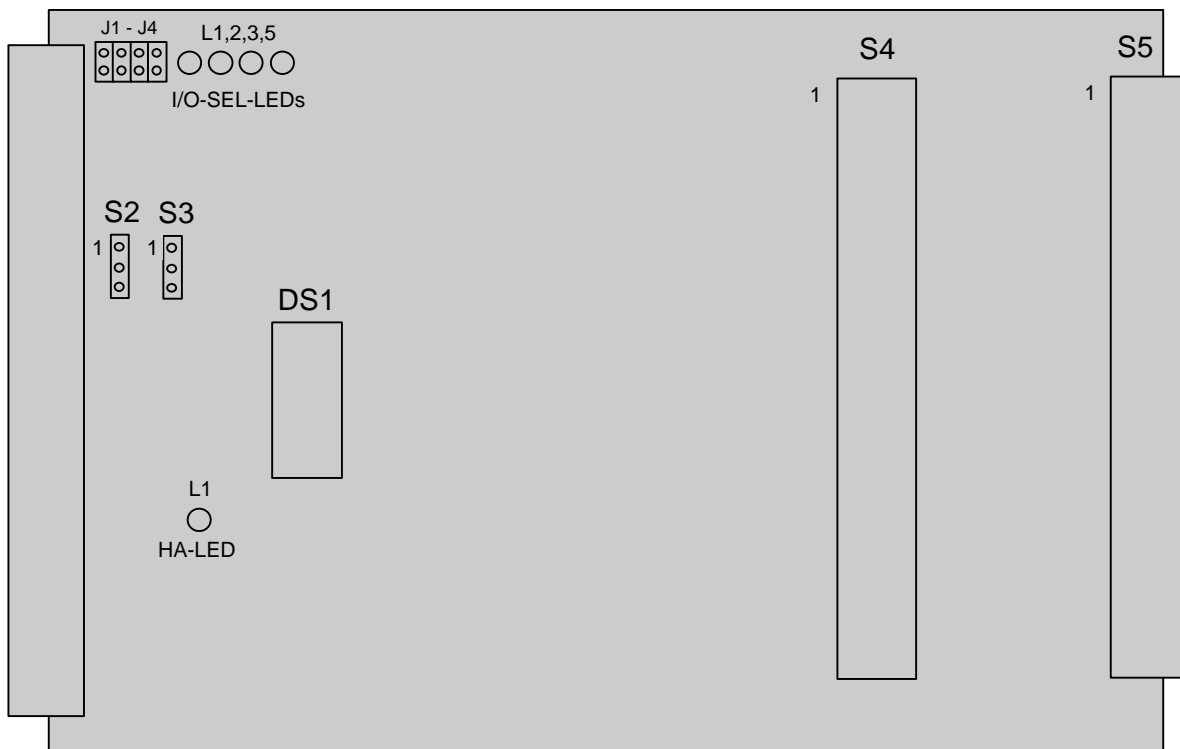
n.c.: nicht definierter Pin (mit Pull-Down-Widerstand 10KOhm)



**7. Belegung des VG64-Steckers für den ISA96-/AT96-Bus**

	<b>a</b>	<b>b</b>	<b>c</b>	
<b>1</b>	GND			<b>1</b>
<b>2</b>	RESET		SD7	<b>2</b>
<b>3</b>	+5V		SD6	<b>3</b>
<b>4</b>			SD5	<b>4</b>
<b>5</b>			SD4	<b>5</b>
<b>6</b>			SD3	<b>6</b>
<b>7</b>			SD2	<b>7</b>
<b>8</b>			SD1	<b>8</b>
<b>9</b>			SD0	<b>9</b>
<b>10</b>	GND			<b>10</b>
<b>11</b>			AEN	<b>11</b>
<b>12</b>				<b>12</b>
<b>13</b>	/IOW			<b>13</b>
<b>14</b>	/IOR			<b>14</b>
<b>15</b>				<b>15</b>
<b>16</b>				<b>16</b>
<b>17</b>				<b>17</b>
<b>18</b>				<b>18</b>
<b>19</b>				<b>19</b>
<b>20</b>				<b>20</b>
<b>21</b>			SA10	<b>21</b>
<b>22</b>			SA9	<b>22</b>
<b>23</b>			SA8	<b>23</b>
<b>24</b>			SA7	<b>24</b>
<b>25</b>			SA6	<b>25</b>
<b>26</b>			SA5	<b>26</b>
<b>27</b>			SA4	<b>27</b>
<b>28</b>			SA3	<b>28</b>
<b>29</b>	+5V		SA2	<b>29</b>
<b>30</b>			SA1	<b>30</b>
<b>31</b>			SA0	<b>31</b>
<b>32</b>				<b>32</b>

**8. Lageplan für Stecker, Schalter und Jumper**



**9. Technische Daten**

Abmessungen:	100mm * 160mm * 20mm
Gewicht:	ca. 150g
Ausführung:	4 Lagen Multilayer-Platine FR4 mit Lötstopmaske und Positionsdruck. Alle Steckerverbinder vergoldet.
Einbaulage:	Beliebig.
Versorgungsspannung:	4,5V - 5,3V, max. 250mV Vss Ripple

**10. Umgebungsbedingungen**

Betriebstemperatur:	0 - 70 °C.
Lagertemperatur:	-40-85°C.
Relative Feuchte:	10 - 90% nicht kondensierend.
Lagerzeit:	unbegrenzt.